

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04271507 A

(43) Date of publication of application: 28.09.92

(51) Int. Cl

H03H 15/00

(21) Application number: 03053164

(71) Applicant: FUJITSU LTD

(22) Date of filing: 26.02.91

(72) Inventor: NAWA TOSHIHIKO
UCHIJIMA MAKOTO
TOZAWA YOSHIHARU

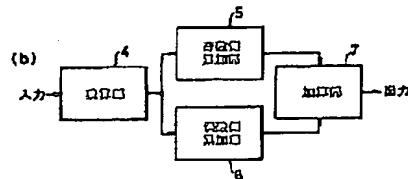
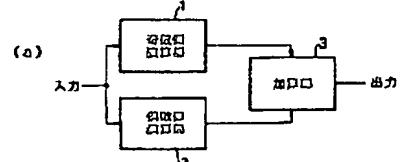
(54) DIGITAL TRANSVERSAL FILTER

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To realize the digital transversal filter able to cope with a higher bit rate.

CONSTITUTION: A product sum between input data by an odd number side arithmetic section 1 and odd number tap coefficients and a product sum between input data by an even number side arithmetic section 2 and even number tap coefficients are added by an adder section 3, from which an output is generated. Or a multiplier section 4 multiplies alternately input data and an odd number tap coefficient and an even number tap coefficient, an odd number side accumulate section 5 adds the result of multiplication between the data and the odd number tap coefficient and an even number-side accumulate section 6 adds the result of multiplication between the data and the even number tap coefficient, and an adder section 7 adds the accumulation result of the odd number accumulation section 5 and the accumulation result of the even number accumulation section 6 and generates an output to form the digital transversal filter.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-271507

(43)公開日 平成4年(1992)9月28日

(51)Int.Cl.⁵
H 0 3 H 15/00

識別記号
H 0 3 H 15/00

府内整理番号
8731-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数5(全10頁)

(21)出願番号 特願平3-53164

(22)出願日 平成3年(1991)2月26日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 那和 利彦

横浜市港北区新横浜3丁目9番18号 富士通デジタル・テクノロジ株式会社内

(72)発明者 内島 誠

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 戸澤 義春

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 介理士 柏谷 昭司 (外1名)

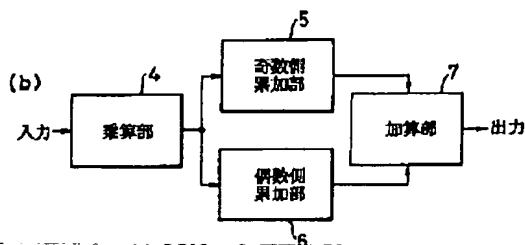
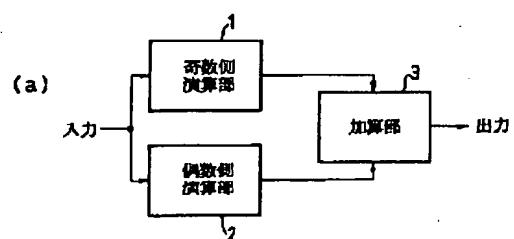
(54)【発明の名称】 デジタルトランスマルチフィルタ

(57)【要約】

【目的】デジタルトランスマルチフィルタの構成に
関し、より高ビットレートに対応することができるデ
ジタルトランスマルチフィルタを提供することを目的
とする。

【構成】奇数側演算部1による入力データと奇数番目の
タップ係数との積和演算結果と、偶数側演算部2による
入力データと偶数番目のタップ係数との積和演算結果と
を加算部3で加算して出力を発生する。または乗算部4
で入力データに対して奇数番目のタップ係数と偶数番目
のタップ係数とを交互に乗算し、奇数側累加部5で奇数
番目のタップ係数との乗算結果を累加し、偶数側累加部
6で偶数番目のタップ係数との乗算結果を累加し、加算
部7で奇数側累加部5の累算結果と偶数側累加部6の累
算結果とを加算して出力を発生することによってデジ
タルトランスマルチフィルタを構成する。

本発明の原理的構成を示す図



1

【特許請求の範囲】

【請求項1】複数個のタップ係数と入力データとをそれぞれ乗算した結果を順次累加することによって出力を得るデジタルトランスパーサルフィルタにおいて、入力データをその4倍の速度のクロックでサンプルしたデータと前記複数個のタップ係数中奇数番目のタップ係数とを入力データの2倍の速度のクロックでそれぞれ乗算して結果を順次累加する奇数側演算部(1)と、前記入力サンプルと前記複数個のタップ係数中偶数番目のタップ係数とを前記入力データの2倍の速度のクロックの反転クロックでそれぞれ乗算して結果を順次累加する偶数側演算部(2)と、該奇数側演算部(1)の出力と偶数側演算部(2)の出力を加算する加算部(3)とを有することを特徴とするデジタルトランスパーサルフィルタ。

【請求項2】複数個のタップ係数と入力データとをそれぞれ乗算した結果を順次累加することによって出力を得るデジタルトランスパーサルフィルタにおいて、入力データをその4倍の速度のクロックでサンプルしたデータと複数個のタップ係数中奇数番目のタップ係数および偶数番目のタップ係数とを交互に順次乗算する乗算部(4)と、該乗算部(4)の奇数番目のタップ係数との演算結果を入力データの2倍の速度のクロックごとに順次累加する奇数側累加部(5)と、該乗算部(4)の偶数番目のタップ係数との演算結果を前記入力データの2倍の速度のクロックの反転クロックごとに順次累加する偶数側累加部(6)と、該奇数側累加部(5)の出力と偶数側累加部(6)の出力を加算する加算部(7)とを有することを特徴とするデジタルトランスパーサルフィルタ。

【請求項3】タップ係数を記憶する複数個のROM($3_{21} \sim 3_{24}$)と、該各ROMの出力を遅延する複数個のシフトレジスタ($3_{11} \sim 3_{14}$)とを有し、アドレス入力に応じて該各ROMから前記複数個のタップ係数を読み出して対応するシフトレジスタを経て入力することによって前記演算を行うことを特徴とする請求項1または2に記載のデジタルトランスパーサルフィルタ。

【請求項4】前記複数個のROMが、奇数側のROM($3_{21}, 3_{23}, 3_{25}$)と偶数側のROM($3_{22}, 3_{24}, 3_{26}$)とを多重化して構成されていることを特徴とする請求項3に記載のデジタルトランスパーサルフィルタ。

【請求項5】前記各ROMから読み出されるタップ係数が、前記演算のクロックごとに変化することを特徴とする請求項3または4に記載のデジタルトランスパーサルフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、FIR型のデジタル

2

トランスパーサルフィルタの構成に関し、特にデジタル復調器に用いられるデジタルトランスパーサルフィルタ(以下DTFという)に関するものである。

【0002】無線通信におけるデジタル復調器においては、ベースバンドで信号処理を行う場合、通常、アナログデジタル(A/D)変換の段階でアナログ信号を1周期4サンプルし、そのデータをDTFによって波形整形して、タイミング再生等を行っている。

【0003】このようなDTFにおいては、高ビットレートに対応可能なものであることが要望される。またビットレートが同じ場合は、ハードウエア規模を縮小することができるものであることが要望される。さらに、タップ係数を変化させてタイミング再生を行う方式に対応できるものであることが要望される。

【0004】

【従来の技術】デジタル復調器において、ベースバンドで信号処理を行う場合には、入力アナログ信号を1周期4サンプルでA/D変換を行った結果のデータに対して、DTFによって波形整形の処理を行ってタイミング再生等を行っている。この場合のビットレートは、DTFやタイミング再生回路および搬送波再生回路の動作速度に依存する。特にDTFのタップ数が多い(例えば25タップ等)場合には、DTF内部の乗算器等の演算速度がネックになって、高ビットレートのものを実現できない場合が多い。

【0005】図9は従来のDTFの回路構成例を示したものであって、6タップの場合を例示し、 $1_{11} \sim 1_{11}$, $1_{12} \sim 1_{12}$ はフリップフロップ(FF), $1_{31} \sim 1_{36}$ は乗算器, $1_{41} \sim 1_{46}$, $1_{51} \sim 1_{56}$ はフリップフロップ(FF), $1_{61} \sim 1_{66}$ は加算器である。

【0006】図9に示されたDTFにおいては、各FFは人力信号のビットレートRの4倍のビットレートのクロックで動作する。タップ係数 $C_{11} \sim C_{16}$ をFF $1_{11} \sim 1_{16}$ に取り込むとともに、入力をFF $1_{12} \sim 1_{12}$ に並列に取り込み、対応するFFの出力をそれぞれ乗算器 $1_{31} \sim 1_{36}$ において乗算して、乗算結果をFF $1_{41} \sim 1_{46}$ に保持する。そして、FF 1_{41} の出力をFF 1_{51} で遅延した信号とFF 1_{42} の出力を加算器 1_{61} で加算してFF 1_{52} に保持し、FF 1_{52} の出力とFF 1_{43} の出力を加算器 1_{62} で加算してFF 1_{53} に保持し、以下同様に順次積和の演算を行うことによって、入力信号に対して波形整形した出力信号を得る。

【0007】

【発明が解決しようとする課題】従来のDTFにおいては、図9の例に示されるように、入力信号と所要数のタップ係数とを並列に乗算した結果に対して、各乗算結果を順次足し合わせる積和の演算を行って出力を得るようになっている。そのため乗算器における演算速度によつ

3

て、その動作速度が制限され、高ピットレートのものを実現することが困難であるという問題があった。

【0008】本発明はこのような従来技術の課題を解決しようとするものであって、乗算器における演算速度を従来のD T Fの場合の1/2にすることができ、従って同一乗算器を使用した場合は、より高ピットレートに対応することができるD T Fを提供することを目的としている。

【0009】

【課題を解決するための手段】本発明は、図1において(a)にその原理的構成を示すように、複数個のタップ係数と入力データとをそれぞれ乗算した結果を順次累加することによって出力を得るディジタルトランスバーサルフィルタにおいて、入力データをその4倍の速度のクロックでサンプルしたデータと複数個のタップ係数中奇数番目のタップ係数とを入力データの2倍の速度のクロックでそれぞれ乗算して結果を順次累加する奇数側演算部1と、入力サンプルと複数個のタップ係数中偶数番目のタップ係数とを入力データの2倍の速度のクロックの反転クロックでそれぞれ乗算して結果を順次累加する偶数側演算部2と、奇数側演算部1の出力と偶数側演算部2の出力を加算する加算部3とを有することを特徴とするものである。

【0010】また本発明は、図1において(b)にその原理的構成を示すように、複数個のタップ係数と入力データとをそれぞれ乗算した結果を順次累加することによって出力を得るディジタルトランスバーサルフィルタにおいて、入力データをその4倍の速度のクロックでサンプルしたデータと複数個のタップ係数中奇数番目のタップ係数および偶数番目のタップ係数とを交互に順次乗算する乗算部4と、乗算部4の奇数番目のタップ係数との演算結果を入力データの2倍の速度のクロックごとに順次累加する奇数側累加部5と、乗算部4の偶数番目のタップ係数との演算結果を入力データの2倍の速度のクロックの反転クロックごとに順次累加する偶数側累加部6と、奇数側累加部5の出力と偶数側累加部6の出力を加算する加算部7とを有することを特徴とするものである。

【0011】

【作用】ディジタル復調器のタイミング再生方式として、D T Fの出力をダブルサンプリングして位相差を検出する方法があるが、この場合は4サンプルデータ中、復調データ点とゼロクロス点の2点のデータがあればタイミングを再生できる。そこでD T Fの演算では、A/D変換後の4サンプルデータに対して、データ点とゼロクロス点の2サンプル分のデータを出力するデシメーション(decimation)を行えばよい。ただしこの場合、演算精度を損なわないようにするために、4サンプルデータに対してすべて演算を行った上で、必要な2サンプルのデータを出力させるようにする必要がある。この点に着

10

4

目して、図1に示すような構成にすることによって、従来のD T Fの1/2の演算速度で所要の演算を行わせることができる。

【0012】本発明のD T Fにおいては、図1において(a)に示すように、複数個のタップ係数と入力データとをそれぞれ乗算した結果を順次累加することによって出力を得るディジタルトランスバーサルフィルタにおいて、奇数側演算部1を設けて、入力データをその4倍の速度のクロックでサンプルしたデータと複数個のタップ係数中奇数番目のタップ係数とを入力データの2倍の速度のクロックでそれぞれ乗算して結果を順次累加し、偶数側演算部2を設けて、入力サンプルと複数個のタップ係数中偶数番目のタップ係数とを入力データの2倍の速度のクロックの反転クロックでそれぞれ乗算して結果を順次累加し、加算部3を設けて、奇数側演算部1の出力と偶数側演算部2の出力を加算してD T Fの出力を発生するようにしたので、従来のD T Fの場合と比べて1/2の演算速度で乗算器の演算を行って、所望の出力を得ることができる。

【0013】また本発明のD T Fにおいては、図1において(b)に示すように、複数個のタップ係数と入力データとをそれぞれ乗算した結果を順次累加することによって出力を得るディジタルトランスバーサルフィルタにおいて、乗算部4を設けて、入力データをその4倍の速度のクロックでサンプルしたデータと複数個のタップ係数中奇数番目のタップ係数および偶数番目のタップ係数とを交互に順次乗算し、奇数側累加部5を設けて、乗算部4の奇数番目のタップ係数との演算結果を入力データの2倍の速度のクロックごとに順次累加し、偶数側累加部6を設けて、乗算部4の偶数番目のタップ係数との演算結果を入力データの2倍の速度のクロックの反転クロックごとに順次累加し、加算部7を設けて、奇数側累加部5の出力と偶数側累加部6の出力を加算してD T Fの出力を発生するようにしたので、従来のD T Fの場合と比べて1/2の演算速度で乗算器の演算を行って、所望の出力を得ることができる。

【0014】

【実施例】図2は本発明の一実施例を示したものであって、6タップのD T Fを構成した場合を例示し、20は入力のピットレートRの4倍のピットレートのクロック4 CKで動作するフリップフロップ(F F)、21₁, 21₂, 21₃, 22₁, 22₂, 22₃は2倍のピットレートのクロック2 CKで動作するフリップフロップ(F F)、23₁, 23₂, 23₃は乗算器、24₁, 24₂, 24₃, 25₁, 25₂, 25₃はクロック2 CKで動作するフリップフロップ(F F)、26₁, 26₂は加算器であって、これらは奇数側演算部を構成している。21₂, 21₄, 21₅, 22₂, 22₄, 22₅は2倍のピットレートの反転クロック*2 CKで動作するフリップフロップ(F F)、23₂, 23₄, 23₅は乗算器、24₂, 24₄, 24₅, 25₂, 25₄, 25₅は加算器である。

5

5₁, 25₄ は反転クロック*2CKで動作するフリップフロップ (FF) 、 26₁, 26₄ は加算器であって、これらは偶数側演算部を構成している。27 はクロック2CKで動作するフリップフロップ (FF) 、 28 は加算器、29 はクロック2CKで動作するフリップフロップ (FF) である。

【0015】4サンプルデータ入力は、FF20にクロック1CKで取り込まれたのち、奇数側演算部のFF22₁, 22₃, 22₅ にクロック2CKで取り込まれ、FF21₁, 21₃, 21₅ にそれぞれクロック2CKで取り込まれた奇数番号のタップ係数C₁, C₃, C₅ と、乗算器23₁, 23₃, 23₅ で乗算されて、乗算結果はFF24₁, 24₃, 24₅ にクロック2CKで取り込まれる。そして、FF24₁ の出力をFF25₁ で遅延した信号とFF24₃ の出力を加算器26₁ で加算してFF25₃ に保持し、FF25₅ の出力とFF24₅ の出力を加算器26₃ で加算してFF25₅ に保持する。

【0016】FF20にクロック4CKで取り込まれたデータは、偶数側演算部のFF22₂, 22₄, 22₆ にクロック*2CKで取り込まれ、FF21₂, 21₄, 21₆ にそれぞれクロック*2CKで取り込まれた偶数番号のタップ係数C₂, C₄, C₆ と、乗算器23₂, 23₄, 23₆ で乗算されて、乗算結果はFF24₂, 24₄, 24₆ にクロック*2CKで取り込まれる。そして、FF24₂ の出力をFF25₂ で遅延した信号とFF24₄ の出力を加算器26₂ で加算してFF25₄ に保持し、FF25₆ の出力とFF24₆ の出力を加算器26₄ で加算してFF25₆ に保持する。FF25₆ の出力は、クロック2CKでFF27に取り込まれる。

【0017】FF25₅ に保持された奇数側のデータとFF27に保持された偶数側のデータとは、加算器28で加算され、FF29でクロック2CKで整形されて出力される。図2に示されたDTFでは、デシメーションが行われて、図9に示された従来のDTFの場合と比べて乗算器の演算速度を1/2にすることが可能となる。

【0018】図3は、図2の実施例における各部信号を示すタイムチャートであって、人力をFF20で取り込んだデータ₁ (x₁, x₂, x₃, x₄, x₅, ...)に対する奇数側演算部の各部出力であるFF22₁, 22₃, 22₅ の奇数側取り込みデータd (x₁, x₃, x₅, ...), FF21₁, 21₃, 21₅ の奇数側取り込みタップ係数t₁ (C₁), t₃ (C₃), t₅ (C₅), 奇数側乗算器23₁, 23₃, 23₅ の出力データm₁, m₃, m₅, 奇数側の加算演算を示すFF25₁, 25₃, 25₅ の出力データa₁, a₃, a₅, 奇数側演算部の出力データo₁ とを示している。また偶数側演算部については出力データo₂のみが示されている。なお図中においては、乗算結果の出力を添字のみによって、例えばC₁ x₁ を11のように表している。奇数側出力データo₁ と偶数側出力データo₂ とを加算することによってDTF出力を生じる。

50

6

【0019】図4は、図3に示されたDTFの演算結果と2サンプル出力データとの関係を示したものであつて、(a) は4サンプルデータを示し、(b) はDTF入力データ列x₁, x₂, x₃, x₄, x₅, ...に対するDTF演算結果の出力を示している。図3および図4を参照することによって、本発明によれば、4サンプルデータ中、必要なD点およびZ点についての2サンプルデータだけをDTFの出力とすることができますことが明らかである。

【0020】図5は本発明の他の実施例を示したものであつて、タップ係数をクロックごとに変化させてタイミングを再生する方式に用いる場合のDTFの回路構成の例を示し、30は図2に示された実施例と同様のDTFを示し、31₁ ~ 31₆ はそれぞれDTF30のタップ係数C₁ ~ C₆ に対応するリードオンリーメモリ (ROM) 、32₁ ~ 32₆ はそれぞれROM31₁ ~ 31₆ に対応して設けられたシフトレジスタ (SR) であつて、SR31₁, 31₄ は1段、SR31₂, 31₅ は2段、SR31₃, 31₆ は3段から構成されている。

【0021】図5の実施例においては、DTF30のタップ係数C₁ ~ C₆ をそれぞれROM32₁ ~ 32₆ に予め記憶させておき、タイミング制御信号およびアドレス信号に応じて読み出し、SR31₁ ~ 31₆ によって所要の時間遅延させてDTF30に与えることによって、図2の実施例の場合と同様にDTF動作を行わせることができる。図5の実施例によれば、DTFをデジタル復調器のタイミング再生回路に使用したような場合、DTFのタップ係数をクロックごとに変化させてタイミングを再生することができる。

【0022】図6は、図5の実施例におけるタップ係数のロード方法を示すタイムチャートであつて、奇数側演算部に対するタップ係数のロードを例示し、ROM (1) 32₁, ROM (3) 32₃, ROM (5) 32₅ からクロック2CKに応じてタップ係数が読み出され、これに基づいてSR (1) 31₁, SR (3) 31₃, SR (5) 31₅ から所要のタイミングでタップ係数が出力されてDTF30にロードされることが示されている。なおタップ係数用ROMは、奇数側演算部用と偶数側演算部用とを多重化して用いるように構成することも可能である。

【0023】図7は本発明のさらに他の実施例を示したものであつて、多重処理を行う場合を示し、6タップの場合を例示している。40, 41₁, 41₂, 41₃, 42₁, 42₂, 42₃ は入力のビットレートRの4倍のビットレートのクロック4CKで動作するフリップフロップ (FF) 、43₁, 43₂, 43₃ は乗算器、44₁, 44₂, 44₃ は2倍のビットレートのクロック2CKで動作するフリップフロップ (FF) 、45₁, 45₂ は加算器、46₁, 46₂, 46₃ は2倍のビットレートの反転クロック*2CKで動作するフリップフロップ (FF) 、47₁, 47₂

7₁, 4₈は加算器、4₉はクロック2CKで動作するフリップフロップ(FF)である。

【0024】4サンプルデータ入力は、FF40にクロック4CKで取り込まれたのち、FF42₁, 42₂, 42₃にクロック4CKで取り込まれる。奇数番号のタップ係数についての演算を行うときは、FF41₁, 41₂, 41₃にそれぞれクロック4CKで奇数番号のタップ係数C₁, C₃, C₅が取り込まれ、偶数番号のタップ係数についての演算を行うときは、FF41₁, 41₂, 41₃にそれぞれクロック4CKで偶数番号のタップ係数C₂, C₄, C₆が取り込まれる。乗算器43₁, 43₂, 43₃においては、FF42₁, 42₂, 42₃に取り込まれたデータ入力と、FF41₁, 41₂, 41₃に取り込まれたタップ係数との乗算を行い、乗算結果は奇数番号のタップ係数の場合は、乗算器43₁の出力をFF44₁で遅延した信号と乗算器43₂の出力を加算器45₁で加算してFF44₂に保持し、FF44₂の出力と乗算器43₃の出力を加算器45₂で加算してFF44₃に保持し、偶数番号のタップ係数の場合は、乗算器43₁の出力をFF46₁で遅延した信号と乗算器43₂の出力を加算器47₁で加算してFF46₂に保持し、FF46₂の山力と乗算器43₃の山力を加算器47₂で加算してFF46₃に保持する。そして加算器48でFF44₃の出力と、FF46₃の出力を加算し、加算結果の出力をFF49で整形して出力を発生する。

【0025】図7の実施例によれば、入力データとタップ係数との乗算を行う部分を、奇数番号のタップ係数の演算と奇数番号のタップ係数の演算とに共用しているので、ハードウエア規模が縮小される。

【0026】なお、図7に示された実施例の場合も、タップ係数を予めROMに記憶させておき、これを読み出して所要のタイミングで乗算器に与えて乗算を行わせるようにすることもできる。またこのROMを、奇数側のタップ係数と偶数側のタップ係数とで多重化して使用するようにしてもよい。これによって、DTFにおいて、クロックごとにタップ係数を変化させる制御を行うことが可能となる。

【0027】図8は、本発明のDTFを適用した復調器を例示したものであって、50は直交検波部、51, 52はアナログデジタル変換器(A/D)、53, 54は本発明のDTF、55はキャリアリカバリ(CR)、56はシンボルタイミングリカバリ(STR)、57はクロック源である。

【0028】入力QPSK変調波信号は、直交検波部50において直交検波されて直交成分に分解され、A/D51, 52においてそれぞれクロック源57のクロックを用いてデジタル信号に変換されて、DTF53, 54に入力される。DTF53, 54は、STR56からそれぞれタップ係数を設定されることによって、A/D

51, 52からのデジタル化された入力信号をそれぞれ波形整形して、CR55に入力する。CR55は、この波形整形された直交信号入力からI成分とQ成分とかなる復調データを発生して出力する。一方、STR56はDTF53, 54の出力の位相差を検出して、位相差に対応してタップ係数を発生して、DTF53, 54に供給する。

【0029】図8に示された復調器では、例えば図5に示されたDTFを用いて、クロックごとにDTFのタップ係数を変化させることによって、入力波形の変化に応じてDTF特性を変化させることができ、従って常に最良の状態で復調を行うことができる。

【0030】

【発明の効果】以上説明したように本発明のDTFによれば、従来のDTFに比べて、乗算器の演算速度を1/2にすることができるので、同じ乗算器を用いた場合は、従来のDTFの2倍のビットレートを実現することができる。また従来と同じビットレートの場合には、乗算器で多重処理を行うことができるので、ハードウエア規模を縮小することができる。またタップ係数をROMから与えるようにすれば、クロックごとにタップ係数を変化させることができるので、DTFのタップ係数を変化させながらタイミング再生を行う復調器等に適用することができる。

【図面の簡単な説明】

【図1】(a), (b)は本発明の原理的構成を示す図である。

【図2】本発明の一実施例を示す図である。

【図3】図2の実施例における各部信号を示すタイムチャートである。

【図4】本発明のDTFの演算結果と2サンプル出力データとの関係を示す図であって、(a)は4サンプルデータを示し、(b)はDTF入力データ列x₁, x₂, x₃, x₄, x₅, …に対するDTF演算結果の出力を示す。

【図5】本発明の他の実施例を示す図である。

【図6】タップ係数のロード方法を示すタイムチャートである。

【図7】本発明のさらに他の実施例を示す図である。

【図8】本発明のDTFを適用した復調器を例示する図である。

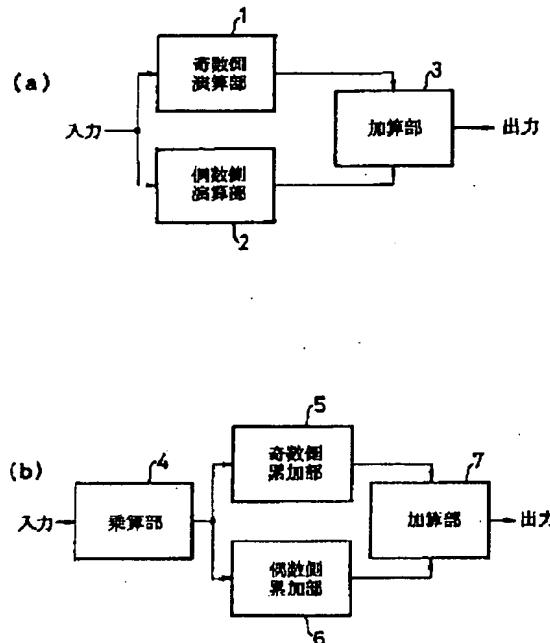
【図9】従来のDTFの回路構成例を示す図である。

【符号の説明】

- 1 奇数側演算部
- 2 偶数側演算部
- 3 加算部
- 4 乗算部
- 5 奇数側累加部
- 6 偶数側累加部
- 7 加算部

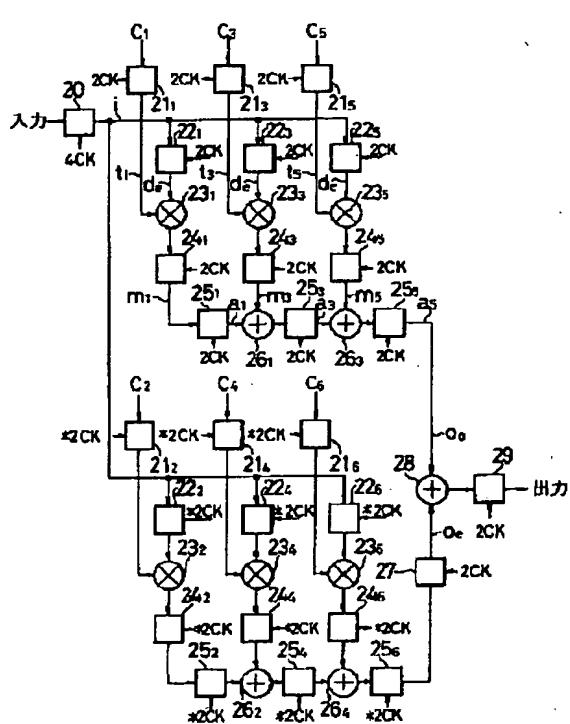
【図1】

本発明の原理的構成を示す図

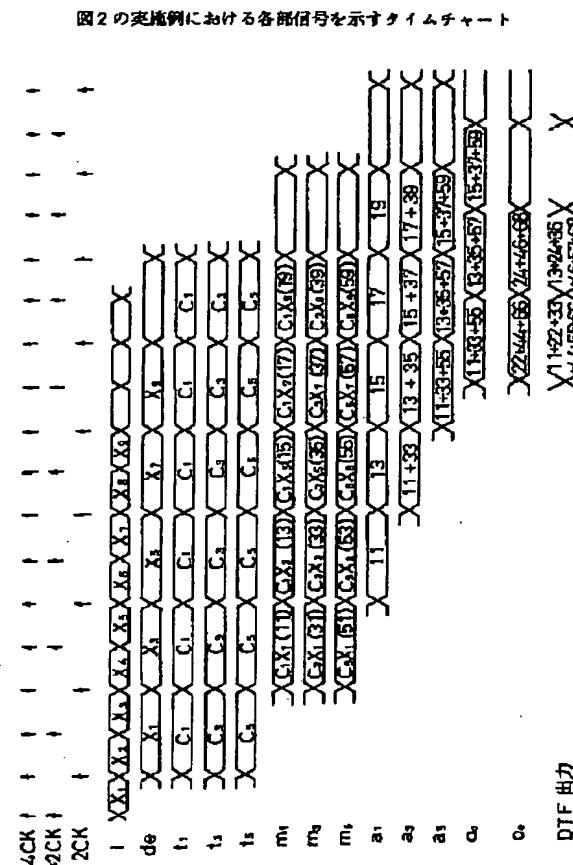


【図2】

本発明の一実施例を示す図

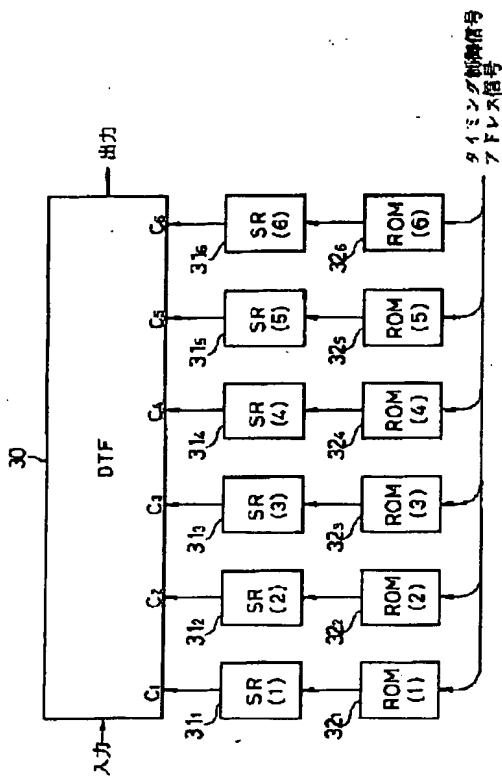


【図3】



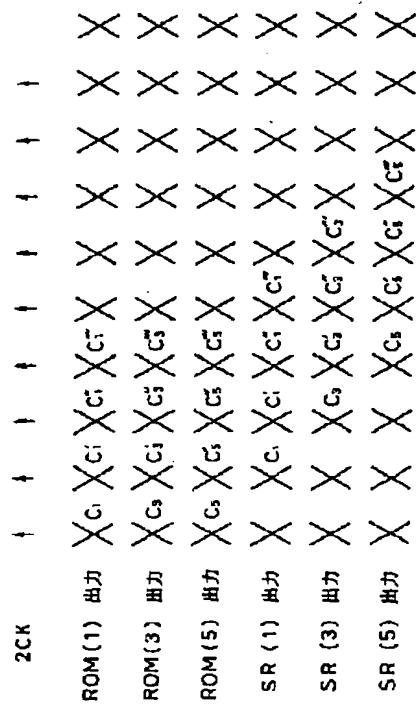
[図5]

本発明の他の実施例を示す図



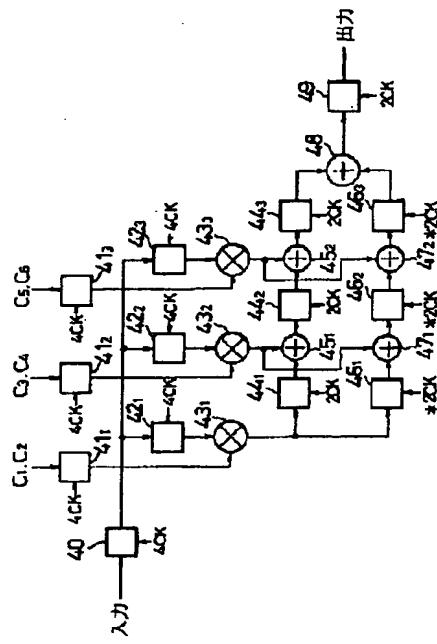
[6]

タコブ係数のロード方法を示すタイムチャート



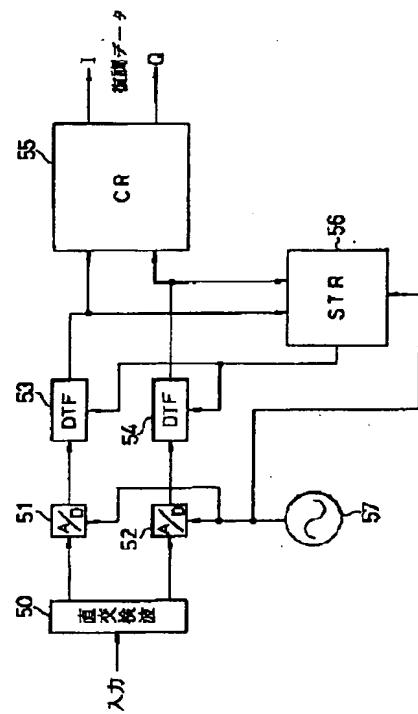
【図7】

本発明のさらに他の実施例を示す図



【図8】

本発明のDFTを適用した復調器を例示する図



[図9]

従来のDFTの回路構成例を示す図

